

[English Translation of Excerpt from Reference 1]

Laid-Open Japanese Patent Application 2003-332295 A

Laid-Open Date: November 21, Year of Heisei-15 (2003)

Number of Claims: 24; (Gazette in 14 pages)

Japanese Patent Application 2002-142086

Filing Date: May 16, Year of Heisei-14 (2002)

Applicants: Grand Plastic Technology Corp. & Taiwan Semiconductor

Manufacturing Co., Ltd. [both of Formosa]

Inventors: XIE Rou He, WANG Zhi Chen, et al [all of Formosa]

[Title of Invention] LOW TEMPERATURE WET ETCHING METHOD FOR
HIGHLY INSULATED THIN LAYER

... (omitted) ...

[Claims]

[Claim 1] A low temperature wet etching method for a highly insulated thin layer, characterized in that the low temperature wet etching method for a highly insulated thin layer comprises following steps:

first, a wafer provided with highly insulated thin layer deposited on at least a silicon dioxide layer or polycrystalline silicon is prepared;

next, the etching of the highly insulated thin layer with a liquid mixture comprising hydrofluoric acid and a per-halogeno element acid is run on the wafer surface; and

the wafer is further washed with ionized water and then dried.

[Claim 2] A low temperature wet etching method for a highly insulated thin layer in a production method for a highly insulated gate insulation layer complementary metal oxide semiconductor (CMOS), characterized in that the method comprises following steps that:

isolated blocs are formed with the local oxide of silicon (LOCOS) or shallow trench isolation (STI) on a wafer comprising un-doped silicon glass (USG) and p-type wells and n-type wells are formed;

a gate conductor layer is formed by depositing a highly insulated thin layer;

a gate is patterned by lithography;

ion implantation is run to turn n to p-type well blocks and p to n-type well blocks and source/drain blocks are doped at a low concentration;

silicon oxide is deposited and the silicon dioxide side walls of gates are formed by etching;

highly insulated thin layers are etched with a solution mixture of hydrofluoric acid and a per-halogeno element acid to remove highly insulated thin layers over the source/drains;

by covering with gates and silicon dioxide side walls and self-alignment, source/drain blocks are doped at a high concentration by running ion plantation; and

a metallization step is finally executed.

[Claim 3] A low temperature wet etching method for a highly insulated thin layer in a production method for a highly insulated thin layer DRAM, characterized in that the method comprises following steps that:

using a substrate having at least both a transistor structure of a highly insulated thin layer DRAM A and a lower electrode layer already completed, a highly insulated thin layer is deposited on all over the surface of the lower electrode layer to form an insulation layer for a capacitor;

a photo resistor (PR) [layer] is formed in the step of lithography to protect the lower electrode layer and the highly insulated thin layer thereof and etching is run at a lower temperature using a liquid mixture comprising hydrofluoric acid and a halogeno element acid as an etching agent to remove the highly insulated thin layer in [areas] other than the lower electrode layer;

a top electrode layer is deposited; and

a procedure for the following step of metallization is accomplished.

[Claim 4] A low temperature wet etching method for a highly insulated thin layer in a production method for a highly insulated thin layer capacitor, characterized in that the method comprises following steps that:

using a substrate having at least a lower electrode layer already completed, a highly insulated thin layer is deposited on all over the surface of the lower electrode layer to form an insulation layer for a capacitor;

a photo resistor (PR) [layer] is formed in the step of lithography to protect the lower electrode layer and the highly insulated thin layer thereof and etching is run at a lower temperature using a liquid mixture comprising hydrofluoric acid and a halogeno element acid as an etching agent to remove the highly insulated thin layer in [areas] other than the lower electrode layer;

a top electrode layer is deposited; and

a procedure for the following step of metallization is accomplished.

[Claim 5] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that the highly insulated thin layer comprises hafnium oxide (HfO_2).

[Claim 6] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that the highly insulated thin layer comprises zirconium oxide (ZrO_2).

[Claim 7] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that the halogeno element acid is peroxochloric acid (HClO_4).

[Claim 8] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that the halogeno element acid is peroxobromic acid (HBrO_4).

[Claim 9] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that the halogeno element acid is peroxyiodic acid (HIO_4).

[Claim 10] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that a mixture ratio by volume of hydrofluoric acid and a halogeno element acid is within a range from 1:50 to 1:5000.

[Claim 11] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that a mixture ratio by volume of hydrofluoric acid and a halogeno element acid is within a range from 1:1000 to 1:2500.

[Claim 12] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that the wet etching is run at a low temperature within the range of 0°C ~ 100°C .

[Claim 13] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that the wet etching is run within single wafer etching tools.

[Claim 14] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that the wet etching is run within batch-type wafer etching tools.

[Claim 15] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that the

wet etching is run within wafer clusters etching tools.

[Claim 16] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that the wet etching is run within stand-alone wafer etching tools.

[Claim 17] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that an etching ratio of silicon wafer with a liquid mixture comprising hydrofluoric acid and a halogeno element acid is no more than $10\text{\AA}/\text{min}$.

[Claim 18] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that a liquid mixture comprising hydrofluoric acid and a halogeno element acid has an etching ratio of no more than $10\text{\AA}/\text{min}$. to a highly insulated thin layer comprising zirconium oxide.

[Claim 19] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that a liquid mixture comprising hydrofluoric acid and a halogeno element acid has an etching ratio of no more than $10\text{\AA}/\text{min}$. to silicon dioxide.

[Claim 20] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that a liquid mixture comprising hydrofluoric acid and a halogeno element acid has an etching ratio of no more than $10\text{\AA}/\text{min}$. to un-doped silicon glass (USG).

[Claim 21] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that a liquid mixture comprising hydrofluoric acid and a halogeno element acid has an etching ratio of no more than $10\text{\AA}/\text{min}$. to boron phosphorous silica glass (BPSG).

[Claim 22] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that a liquid mixture comprising hydrofluoric acid and a halogeno element acid has an etching ratio of no more than $10\text{\AA}/\text{min}$. to phosphorous silicon glass (PSG).

[Claim 23] The low temperature wet etching method for a highly insulated thin layer according to any of Claims 1, 2, 3 and 4, characterized in that a liquid mixture comprising hydrofluoric acid and a halogeno element acid has an etching ratio of no more than $10\text{\AA}/\text{min}$. to polycrystalline silicon.

[Claim 24] The low temperature wet etching method for a highly insulated

thin layer according to any of Claims 1, 2, 3 and 4, characterized in that a liquid mixture comprising hydrofluoric acid and halogeno element acid has an etching ratio of no more than 10/Åmin. to silicon wafer.

--- (omitted) ---

[0003]

[Table 1]

| chemicals | HfO ₂ etching ratios (unit: Å/min.) |
|--|--|
| pure HClO ₄ | 0.3 |
| pure H ₂ SO ₄ (at 160°C) | 1.25~5.25 |
| pure H ₃ PO ₄ (at 80°C) | 0 |
| BOE | 20 |
| pure CH ₃ (COOH) ₂ | 0~20 |
| pure HCl | 0~0.9 |
| pure HBr | 2.5~10 |
| pure HI | 0 |
| pure HF | 101 |
| pure H ₂ O ₂ | 0 |
| TMAH | 0.4 |

As shown in the above Table 1, etching with sulfuric acid needs heating up to as high a temperature as 160°C and its etching ratio is as low as 5 Å/min. Other examples such as phosphoric acid (H₃PO₄), acetic acid (CH₃(COOH)₂), hydrochloric acid (HCl), bromic acid (HBr), iodic acid (HI), pure perchloric acid (HClO₄) etc. have etching ratios close to 0 but these cannot be used for the etching of silicon dioxide. Dry etching is not applicable to silicon and can damage the source/drain surfaces and increase the loss of electric current. Thus, in consideration of defects of etching with hot sulfuric acid and dry etching, the development of a further advanced other etching method has been required. Earlier used oxide-nitride-oxide (ONO) is no more appropriate to be used as the insulation layer for RAM capacitors at the latest stage, and any of later developed BST etc. embrace troubles of their dissipation. Yet, when hafnium dioxide (HfO₂) is used, dissipation can be a minor problem, but etching problems arise in respect to a heat resistance facilities for hot sulfuric acid etching as well as insufficient etching selectivity ratios in the dry etching of un-doped silica glass (USG), borophosphorous silica glass (BPSG), etc.

--- (omitted) ---

[0006]

[Solution for Problems] First, a highly insulated thin layer on silicon dioxide or polycrystalline silicon is etched with a liquid mixture comprising hydrofluoric acid and a perchloric acid (HClO_4) or other per-halogeno element acid (such as HBrO_4 or HIO_4). A mixing ratio is set within a range from 1:50 to 1:5000, most preferably to a range from 1:1000 to 1:2500, and wet etching is run at a low temperature so that an etching ratio to the highly insulated thin layer can become no less than $10\text{\AA}/\text{min}$. but all the etching ratios for silicon dioxide (SiO_2), un-doped silica glass (USG), polycrystalline silicon, etc. remain no more than $10\text{\AA}/\text{min}$. Thus, very excellent selectivity can be provided by this method.

--- (omitted) ---

[0010]

[Embodiment of Invention] The etching of a hafnium dioxide (HfO_2) layer having a high dielectric constant is executed using a different etching liquid. First, according to physical vapor deposition (PVD) method, both USG and polycrystalline silicon are deposited by chemical vapor deposition (CVD), and thicknesses before and after etching are measured with an N&K analyzer in the CVD method. All these depositions and measurements are accomplished in first-class dust-free rooms and a single staff is in charge thereof. A highly insulated thin layer is etched with concentrated sulfuric acid (H_2SO_4) at 160°C , at an etching ratio of $1.25\sim 5.25\text{\AA}/\text{min}$., its etching selectivity ratio to USG being 1:1 within a range of "acceptable". However, it is not easy to find a vessel capable to withstand the high temperature acid, and the vessel maintenance can also cause a difficult problem. However, all the etching with pure phosphoric acid (H_3PO_4), pure peroxychloric acid (HClO_4), pure hydrochloric acid (HCl), pure hydrobromic acid (HBr), pure hydriodic acid (HI), pure oxalic acid (COOH)₂, etc. can result in unacceptably too low etching ratios. Etching with dilute hydrofluoric acid ($\text{HF}:\text{H}_2\text{O} = 1:2000$) has as very slow an etching ratio to a highly insulated [thin layer] as $1\text{\AA}/\text{min}$. and although the etching ratio to USG become somewhat as higher as $7\text{\AA}/\text{min}$. the selectivity ratio becomes inappropriate 1:7. This is due to excessive USG in shallow trench isolation (STI). However, when etching is executed with a liquid mixture comprising hydrofluoric acid and peroxychloric acid at a low temperature, etching ratio can be no less than $10\text{\AA}/\text{min}$. in all the volume ratios ranging from 1:50 to 1:5000, but the etching ratio with USG becomes

reduced as the concentration of peroxochloric acid is increased and the selectivity ratio of etching for HfO₂ and USG becomes 1:0.65 at 1:2000hrs (refer to Figures 3 and 4).

--- (omitted) ---

[0011]

--- (omitted) ---

The etching process is conducted in Single wafer tools, batch-type etching tools, Cluster tools or Stand alone tools, highly insulating thin layer being etched at low temperature by all of them, whereas, selection is not limited to them but any tool is used with proviso the tool allows contact of a wafer with hydrogen fluoride and peroxochloric acid

--- (omitted) ---

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-332295
(P2003-332295A)

(43)公開日 平成15年11月21日(2003.11.21)

(51)Int.Cl.⁷

識別記号

F I

テームコード(参考)

H 0 1 L 21/306

H 0 1 L 21/306

D 5 F 0 4 3

審査請求 有 請求項の数24 O L (全 14 頁)

(21)出願番号 特願2002-142086(P2002-142086)

(22)出願日 平成14年5月16日(2002.5.16)

(71)出願人 502176328

弘塑科技股▲ふん▼有限公司

台湾 新竹県新竹工業区大同路13号

(71)出願人 500262038

台湾積體電路製造股▲ふん▼有限公司

台湾新竹科学工業園區園區三路121号

(72)発明者 謝 育和

台湾 新竹市中興路29号

(72)発明者 王 志成

台湾 新竹市光復路二段507号8楼之2

(74)代理人 100107962

弁理士 入交 孝雄

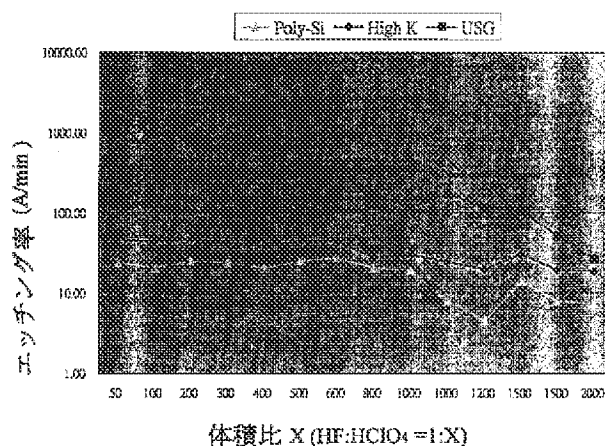
最終頁に続く

(54)【発明の名称】 高絶縁性薄層の低温ウェットエッチング法

(57)【要約】 (修正有)

【課題】CMOSの高絶縁性ゲート絶縁層やDRAMの高絶縁性コンデンサの絶縁膜製造に有利で且つアクティブエリアのシリコンや隔離区のUSGに凹凸を形成する問題を解決するべく高絶縁性薄層の低温ウェットエッチング法を提供する。

【解決手段】弗化水素酸と過塩素酸やその他の過ハロゲン族元素酸の混合液により、室温下で高絶縁性薄層に対してウェットエッチングを行い、該層のエッチング率が $10\text{\AA}/\text{min}$ 以上になるようにし、同時に酸化シリコンやUSG、或いはポリシリコン等のエッチング率が皆 $10\text{\AA}/\text{min}$ 以下であり且つ選択比は各工程の必要に適した比率となるようにする。



【特許請求の範囲】

【請求項1】高絶縁性薄層の低温ウェットエッチング法において、少なくとも先ず二酸化シリコン層やポリシリコン上に堆積した高絶縁性薄層を具有するウェハーを用意し、

次に弗化水素酸と過ハロゲン族元素酸の混合液でウェハー表面にて高絶縁性薄層のエッチングを行い、更にイオン化された水によってウェハーを洗浄した後乾燥させる、

工程を含むことを特徴とする高絶縁性薄層の低温ウェットエッチング法。

【請求項2】高絶縁性ゲート絶縁層CMOS (complementary metal oxide semiconductor) ロジックコンポーネント製造方法において、

USG (un-doped silicon glass) であるウェハー上にLOCOS (Local Oxide of Silicon) やSTI (Shallow Trench Isolation) によって隔離区を形成し、並びにp型ウェルとn型ウェルを形成し、

高絶縁性薄層を堆積してゲート導電層を形成し、

リソグラフによってゲートをパターンニングし、

n^- をp型ウェル区に、また p^- をn型ウェル区にイオンインプランテーションして、ソース/ドレイン区を低濃度ドーピングし、

酸化シリコンを堆積させ、エッチングでゲートの二酸化シリコン側壁を形成し、

弗化水素酸と過ハロゲン族元素酸の混合溶液で高絶縁性薄層をエッチングして、ソース/ドレイン上の高絶縁性薄層を除去し、

ゲートと二酸化シリコン側壁で被覆し、セルフアラインでイオンインプランテーションしてソース/ドレイン区を高濃度ドーピングし、

最後に金属化の工程を経る工程を含むことを特徴とする高絶縁性薄層の低温ウェットエッチング法。

【請求項3】高絶縁性薄層のDRAMの製造方法においては、少なくとも既にDRAMの完成したトランジスタ構造、及び下層電極層（ローアエレクトロード）の基板により、下層電極層（ローアエレクトロード）上全面に高絶縁性薄層を堆積させてコンデンサの絶縁層とし、

リソグラフによる工程でフォトレジスト（Photo Resist, P.R.）を形成して下層電極層（ローアエレクトロード）とその上の高絶縁性薄層を保護し、弗化水素酸とハロゲン族元素酸の混合液をエッチング液とし、低温下でエッチングを進めて下層電極層（ローアエレクトロード）以外の高絶縁性薄層を除去し、

最上層電極層（トップエレクトロード）を堆積し、後続の金属化工程を完成させる手順を含むことを特徴とする高絶縁性薄層の低温ウェットエッチング法。

【請求項4】高絶縁性薄層コンデンサ製造方法においては、少なくとも下層電極層（ローアエレクトロード）が完成した基板により、先ず下層電極層（ローアエレクト

ロード）上全面に高絶縁性薄層を堆積させてコンデンサの絶縁層とし、

リソグラフによりフォトレジスト（Photo Resist, P.R.）を形成して下層電極層（ローアエレクトロード）とその上の高絶縁性薄層を保護し、弗化水素酸とハロゲン族元素酸の混合液をエッチング液とし、低温下でエッチングを進めて下層電極層（ローアエレクトロード）以外の高絶縁性薄層を除去し、

上層電極層（トップエレクトロード）を堆積し、

後続の金属化工程を完成させる手順を含むことを特徴とする高絶縁性薄層の低温ウェットエッチング法。

【請求項5】該高絶縁性薄層は酸化ハフニウム（ HfO_2 ）によるものであることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項6】該高絶縁性薄層は酸化ジルコニウム（ ZrO_2 ）によるものであることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項7】該ハロゲン族元素酸はペルオキソ塩素酸（ $HCIO_4$ ）であることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項8】該ハロゲン族元素酸はペルオキソ臭酸（ $HbrO_4$ ）であることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項9】該ハロゲン族元素酸はペルオキソヨード酸（ $HI O_4$ ）であることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項10】弗化水素酸とハロゲン族元素酸の体積混合比は1:50から1:5000の範囲であることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項11】該弗化水素酸とハロゲン族元素酸の体積混合比は1:1000から1:2500の範囲であることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項12】該ウェットエッチングは0℃～100℃の低温下で行われることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項13】該ウェットエッチングは単片式のエッチング機（Single wafer tools）内で行われることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項14】該ウェットエッチングはバッチタイプ（Batch Type）のエッチング機内で行われることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項15】該ウェットエッチングは多腔式のエッチング機（Clusters tools）内で行われることを特徴とする請求項1, 2, 3, 4記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項 16】該ウェットエッチングは単腔式のエッチング機 (Stand alone tools) 内で行われることを特徴とする請求項 1, 2, 3, 4 記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項 17】弗化水素酸とハロゲン族元素酸の混合溶液によるシリコンウェハーのエッチング率は $10\text{\AA}/\text{min}$ 以下であることを特徴とする請求項 1, 2, 3, 4 記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項 18】弗化水素酸とハロゲン族元素酸の混合溶液が酸化ジルコニウムの高絶縁性薄層に対するエッチング率は $10\text{\AA}/\text{min}$ 以下であることを特徴とする請求項 1, 2, 3, 4 記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項 19】弗化水素酸とハロゲン族元素酸の混合溶液が酸化シリコンに対するエッチング率は $10\text{\AA}/\text{min}$ 以下であることを特徴とする請求項 1, 2, 3, 4 記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項 20】弗化水素酸とハロゲン族元素酸の混合溶液が USG に対するエッチング率は $10\text{\AA}/\text{min}$ 以下であることを特徴とする請求項 1, 2, 3, 4 記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項 21】弗化水素酸とハロゲン族元素酸の混合溶液が、ほうりんシリカガラス (BPSG) に対するエッチング率は $10\text{\AA}/\text{min}$ 以下であることを特徴とする請求項 1, 2, 3, 4 記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項 22】弗化水素酸とハロゲン族元素酸の混合溶液がリンシリカガラス (PSG) に対するエッチング率は $10\text{\AA}/\text{min}$ 以下であることを特徴とする請求項 1, 2, 3, 4 記載の高絶縁性薄層の低温ウェットエッチング法。

【請求項 23】弗化水素酸とハロゲン族元素酸の混合溶液がポリシリコンに対するエッチング率は $10\text{\AA}/\text{min}$ 以下であることを特徴とする請求項 1, 2, 3, 4 記載の高絶縁性薄層の低温ウェットエッチング法。

*

《表 1》

| 化学品 | HfO ₂ のエッチング率 (単位は全て $\text{\AA}/\text{min}$) |
|--|---|
| pure HClO ₄ | 0.3 |
| pure H ₂ SO ₄ (at 160°C) | 1.25~5.25 |
| pure H ₃ PO ₄ (at 80°C) | 0 |
| BOE | 20 |
| pure CH ₃ (COOH) ₂ | 0~2 |
| pure HCl | 0~0.9 |
| pure HBr | 2.5~10 |
| pure HI | 0 |
| pure HF | 101 |
| pure H ₂ O ₂ | 0 |
| TMAH | 0.4 |

* 【請求項 24】弗化水素酸とハロゲン族元素酸の混合溶液がシリコンウェハーに対するエッチング率は $10\text{\AA}/\text{min}$ 以下であることを特徴とする請求項 1, 2, 3, 4 記載の高絶縁性薄層の低温ウェットエッチング法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高絶縁性薄層の低温ウェットエッチング法に係り、特に高絶縁性薄層のウェットエッチングを改良したものに關わる。

【0002】

【従来の技術】CMOS (complementary metal oxide semiconductor) ロジックコンポーネントや DRAM (dynamic RAM) のような半導体装置においては、集積度の増加や容量増大、駆動電圧の減少などの為、設計基準を大幅に下げ、ゲート二酸化シリコン膜の厚さを極限にまで薄くし、現在では既に 6nm (60 \AA) 以下の厚さにすることに成功している。よってこの製造工程における制御は難しく、DRAM のコンデンサは二酸化シリコンや酸化物 - チタ化物 - 酸化物、即ち ONO では最早メモリの電荷量の要求を満たすことができなくなっていることより、昨今では高絶縁性薄膜をゲート絶縁層とし、二酸化シリコンや ONO に取って代わる DRAM のコンデンサの絶縁層とするようになっている。現在の設計基準は 0.18 μm の域にまで及んでおり、ゲート絶縁層の選択に至っては多種の材質が利用されており、特に要求されることは汚染されていないアクティブエリアであり、エッチングが容易で、誘電率が高く、電流のロスが少ないものとなっている。中でも最も注目されているものとして、酸化ハフニウム (HfO₂) や酸化ジルコニウム (ZrO₂) 等があり、誘電率 (dielectric constant) k が 15~25 の理想的な値で安定しており、シリコンアクティブエリア内に拡散せず、電流のロスが少ない長所を具有するが、エッチングが容易ではないことが欠点となっている。

【0003】

またそのエッチング率は僅か $5 \text{ \AA}/\text{min}$ ほどであり、その他として例えばリン酸 (H_3PO_4) や酢酸 $\text{CH}_3(\text{COOH})_2$ 、塩酸 (HCl) や臭酸 (HBr)、ヨード酸 (HI)、純過塩素酸 (HClO_4) 等のエッチング率は0に近いが、然し2酸化シリコンにエッチングするには使用できない。またドライエッチングはシリコンには不向きであり、ソース/ドレイン表面を傷つけ、電流のロスを増加させてしまう。よって、熱硫酸によるエッチングやドライエッチングによる欠点を考慮し、更に発展したその他のエッチング法を開発する必要がある。しかしながら、RAMコンデンサの絶縁層は、初期に使用されていたONOは現在のレベルでは既に適さず、後のBST等によっても皆拡散の問題を抱えている。一方、酸化ハフニウム (HfO_2) を用いた場合においては、拡散の問題が少ないが、しかしエッチングにおいては熱硫酸エッチングにある耐熱設備の問題があり、ドライエッチングではドーブ無しのシリカガラス (即ちUSG, un-doped silica glass) や硼リンシリカガラス (BPSG) 等のエッチング選択率不足の問題が出てくる。

【0004】そこで図1のエッチングゲート絶縁層前の断面図に示すように、従来使用されている酸化ハフニウムのゲート絶縁層でCMOS (complementary metal oxide semiconductor) 製造の際には、先ずシリコンウェハー1上にLOCOS (Local Oxide of Silicon) やSTI (Shallow Trench Isolation) で隔離区4を形成し、更にリソグラフによりイオンインプランテーションでp型ウェル2とn型ウェル3を形成し、酸化ハフニウム (HfO_2) 膜5、ドーブシリコン7及び珪化タンダステンその他のけい化物膜8を堆積させ、酸化ハフニウムをエッチング停止層としてリソグラフによりエッチングしてゲート9を形成する。さらにリソグラフによるイオンインプランテーションで少量ドーブしてソース/ドレイン区8を形成し、更に全面にチ化シリコン膜を堆積させ、更に異方性のドライエッチングでチ化シリコン側壁6を形成し、図2に示すようにリソグラフによるイオンインプランテーションで、ドーブ度の高い n^+ ソース/ドレイン区10及び p^+ ソース/ドレイン区11のLDD構造を形成し、このとき酸化ハフニウムは未だ除去されておらず、イオンインプランテーション時のクッション層として使用され、シリコン表面を傷つけないようにしている。

【0005】

【発明が解決しようとする課題】しかし上述のような公知の方法において、最後に公知のドライエッチングでソース/ドレイン区の酸化ハフニウムを除去するが、酸化ハフニウムがUSG (un-doped silica glass) とシリコンのエッチング選択比が大きくないため、完全に酸化ハフニウムを除去するためにはオーバーエッチングしてしまうことがあり、よってソース/ドレイン区の表面のシリコンと隔離区のUSGは陥没14した個所が形成されてしまう。更に後続の工程を完成したら、コンポーネント

の電流ロス増加が避けられず、同様にDRAM絶縁層エッチングの際、下層電極 (ロアーエレクトロード、lower Electrode) と層間の絶縁膜 (IMD) を傷つける可能性も大きい。また熱硫酸によるウェットエッチングによる場合にはエッチング選択率には優れるものの、エッチング率が不足し、且つ耐熱耐酸槽を使用しなければならない。そこで上述のような公知構造の方法における高絶縁性薄層のゲート高絶縁性エッチングに関わる様々な問題を解決するべく、高絶縁性薄層に低温エッチングする際、二酸化シリコン、USG、ポリシリコン、及びシリコンウェハーに対し、比較的高い選択比を具有するエッチング法を提供し、USGやポリシリコンゲート、並びにソース/ドレインがエッチングによって陥没した部位が形成されないようにし、電流のロスと表面の高低差を少なくし、同時に製造過程における時間を短縮して製造効率を上げるべく、低温且つウェットエッチングによる本発明の高絶縁性薄層の低温ウェットエッチング法、並びに高絶縁性ゲート絶縁層を具える半導体装置製造法を提供する。

【0006】

【課題を解決するための手段】先ず、弗化水素酸と過塩素酸 (HClO_4) やその他の過ハロゲン族元素酸 (HBrO_4 , HIO_4) の混合液で酸化シリコン上或いはポリシリコン上の高絶縁性薄層をエッチングする。混合比は1:50から1:5000の範囲になるようにし、そのうち最も理想的な比率は1:1000~1:2500の範囲とし、低温下でウェットエッチングを行い、高絶縁性薄層に対するエッチング率は $10 \text{ \AA}/\text{min}$ 以上となるが、しかし酸化シリコン (SiO_2)、USG (un-doped silica glass)、ポリシリコン等に対するエッチング率は皆 $10 \text{ \AA}/\text{min}$ 以下であり、この方法によって非常に優れた選択性を提供する。

【0007】またCMOS (complementary metal oxide semiconductor) ロジックコンポーネントを製造するべく、ゲートにドーブの少ないソース/ドレインとゲート極側壁とを形成後、高絶縁性ゲート極絶縁層に対してソース/ドレイン上の部分で弗化水素酸と過塩素酸或いはその他の過ハロゲン族元素酸の混合液でエッチングにより除去し、ソース/ドレイン上のシリコンとSTI内のUSGやポリシリコンゲート、並びに金属ゲートや耐火金属シリコン化物ゲートを傷つけないようにする。

【0008】更に、高絶縁性コンデンサを製造するDRAMにおいては、DRAMを完了したトランジスタ構造と下層電極層 (ロアーエレクトロード) において、並びに下層電極層 (ロアーエレクトロード) 上に高絶縁性薄層を堆積させて、コンデンサの絶縁層とし、フォトレジスト (Photo Resist, P.R.) で下層電極層 (ロアーエレクトロード) と、その上の高絶縁性膜を保護し、更に弗化水素酸と過塩素酸やその他の過ハロゲン族元素酸の混合液でウェットエッチングを施して下層電極層 (ロアーエレクトロード) 以外の高絶縁性薄層を除去し、優れたエッチング効果を提供し、下部の硼リンシリカガラス (BPSG) や

リンシリカガラス (PSG) を傷つけず、且つ高絶縁性薄層に対するエッチング率が $10\text{Å}/\text{min}$ 以上であるのに対し、BPSGやPSGに対するエッチング率は $10\text{Å}/\text{min}$ 以下である特徴を提供する。

【0009】高絶縁性コンデンサを製造するべく、下層電極層 (ローアエレクトロード) の基板上前面に高絶縁性薄層を堆積させてコンデンサの絶縁層とし、リソグラフを利用した製造工程で形成されたフォトリソ (Photo Resist, P.R.) で下層電極層 (ローアエレクトロード) 及びその上の高絶縁性薄層を保護し、弗化水素酸と過ハロゲン族元素酸の混合液をエッチング液とし、低温下でエッチングを進行して下層電極層 (ローアエレクトロード) 以外の高絶縁性薄層を除去し、その下のシリコン基板や隔離酸化シリコンを傷つけないようにする。

【0010】

【発明実施の形態】高誘電率である酸化ハフニウム (HfO_2) 層のエッチングは、異なるエッチング液によって行われる。先ずPVD (physical Vapor Deposition) 法では、USGとポリシリコンが皆CVD (Chemical Vapor Deposition) で堆積されており、CVD法ではn&k analyzerでエッチング前後の厚さを測定する。尚これらの堆積、測定においては皆一級レベルの無塵室内で完成され、一人の者が測定を担当する。 160°C の濃硫酸 (H_2SO_4) で高絶縁性薄層に対してエッチングを行い、そのエッチング率は $1.25\sim 5.25\text{Å}/\text{min}$ であり、該USGとのエッチング選択比は1:1であり、「可」の範囲ではあるが、しかし高温の酸に耐える槽を見つけるのは容易でなく、槽の維持も難しいものとなっている。しかしながら、純リン酸 (H_3PO_4)、純ペルオキソ塩素酸 (HClO_4)、純塩酸 (HCl)、純臭化水素酸 (HBr)、純よう化水素酸 (HI)、純しゅう酸 (COOH) 2等のエッチングは皆エッチング率が低過ぎ、適当ではない。それでは薄い弗化水素酸 ($\text{HF}:\text{H}_2\text{O}=1:2000$) でエッチングした場合、高絶縁性に対するエッチング率は $1\text{Å}/\text{min}$ と非常に遅く、USGに対するエッチング率は $7\text{Å}/\text{min}$ とやや高いものの選択比は1:7であり、不適當である。それはShallow Trench Isolation (STI) 中のUSGが多すぎるためである。しかし弗化水素酸とペルオキソ塩素酸の混合液により低温の下でエッチングする場合は体積混合比 (volume ratio) が1:50から1:5000のエッチング率で、どれも $10\text{Å}/\text{min}$ 以上となっており、しかしペルオキソ塩素酸の濃度の増加に伴ってUSGとのエッチング率が低下してしまい、1:2000時では HfO_2 とUSGのエッチング選択比が1:0.65となる (図3, 図4参照)。

【0011】図3に示す弗化水素酸の混合溶液は、異なる混合比で得られる HfO_2 とUSGのエッチング選択比の曲線図であり、図中より見て取れるように、選択比は $\text{HfO}_2:\text{USG}=1:66=0.015$ となっており、徐々に1:0.65=1.54にまで上昇しており、混合比が増加すると選択比も上がることがわかる。図4に示すように異なる体積混合

比で1:5より1:2000にまで徐々に上げた場合、高絶縁性 (HfO_2) のエッチング率は皆 $10\text{Å}/\text{min}$ 以上に維持されている。USGに対するエッチング率が $10\text{Å}/\text{min}$ 以下に徐々に下がり、ポリシリコンに対するエッチング率は皆 $10\text{Å}/\text{min}$ 以下となる。よって高絶縁性薄層 (HfO_2) にエッチングする場合は、常温で且つ充分な速度であり、適当なエッチング率であると言え、STU隔離層上のUSGとゲートのUSG及びゲートのポリシリコン、金属、耐火金属シリコン化合物やコンデンサ下層電極層 (ローアエレクトロード) 上のポリシリコン、BPSG、PSG層間の絶縁膜 (IMD) を傷つけることがなく、低温下でエッチングが行われるため、酸に耐える複雑な構造の槽を準備する手間とコストが省け、大量生産に適するようになる。低温 ($0\sim 100^\circ\text{C}$) 下で弗化水素酸とペルオキソ塩素酸の体積混合比は1:50から1:500の範囲であり、酸化ハフニウム (HfO_2) 層に対するエッチング率、及び湿酸化膜やUSG、BPSG及びポリシリコン等に対する選択比が充分であり、1:1000から1:2500の範囲であることが最も理想的である。エッチングの方法は単片式のエッチング機 (Single wafer tools)、バッチタイプのエッチング機、多腔式エッチング機 (Clusters tools) や単腔式エッチング機 (Stand alone tools) 内で行われ、皆低温で高絶縁性薄層にエッチングする目的が達成されるがこれに限らず、弗化水素酸とペルオキソ塩素酸がウェハーに接触することができるものであればよい。また、その他の過ハロゲン族元素酸を過塩素酸に代えてもその効果はほぼ同様であり、よって本発明の混合溶液は $\text{HF}:\text{HClO}_4$ に限られず、 $\text{HF}:\text{ハロゲン族元素酸}(\text{HBrO}_4, \text{HIO}_4)$ としてもよい。

【0012】実施例二において、先ずその製造の順序は図5から図15に示すものであり、本発明のCMOS (complementary metal oxide semiconductor) ロジックコンポーネント200製造方法では特に高絶縁性ゲートの形成手順と方法を強調している (CMOSロジックコンポーネント200の構造は図5参照)。以下の説明中ではシリコン半導体基板の導電型をp型としているが、n型基板を使用してもよく、またSOI (Silicon on insulator) 基板を使用してもよい。またSTI (Shallow Trench Isolation) 隔離層を例としているが、ここでもまたこれに限られず、その他の例えばLocal oxidation of Silicon即ち局部酸化 (LOCOS) などの方法を採用してもよい。ポリシリコンゲート上に珪化タングステンを使用してもよく、ここでもまたこれに限られない。また TiSi_2 , CoSi_2 等のけい化合物を WSix に取って代えてもよい。ゲートもポリシリコンゲートに限らず、その他の金属ゲート、耐火金属けい化合物ゲートとしてもよく、高絶縁性ゲート絶縁膜のCMOS (complementary metal oxide semiconductor) 整合工程を含むものでさえあれば上述に限られない。

【0013】図6に示すように、p型シリコンウェハー

基板 1 上に選択的に STI (Shallow Trench Isolation) 隔離区 4 を設けてアクティブエリアを形成し、次にリソグラフによるイオンインプランテーションで、p 型ウェル 2 と n 型ウェル 3 を形成し、該 p 型ウェル区域は NMOS 区域を、また n 型ウェル区域は PMOS 区域を形成する。次に図 7 に示すように、上述の基板上に PVD 法によって高絶縁性薄層 (HfO_2 や ZrO_2) 5 を形成し、ゲート絶縁膜を形成し、続いて全面にポリシリコン層 6、即ち後のポリシリコンゲートを形成する。

【0014】図 8 に示すように、n 型ウェル区域 3 はリソグラフによってフォトレジスト (Photo Resist, P. R.) PR1 で被覆し、n 型不純物 (As^+ や P^+) を p 型ウェル区 2 上のポリシリコン層 6 にイオンインプランテーションし、 N^+ ドープの電気抵抗が小さいポリシリコン層 6a を形成する。フォトレジスト PR1 除去後、図 9 に示す過程において、p 型ウェル区域 2 上をリソグラフによりフォトレジスト PR2 で被覆し、不純物 (B^+ や BF_2^+) を p 型ウェル区 2 上のポリシリコン層にイオンインプランテーションし、 p^+ ドープの電気抵抗が小さいポリシリコン層 6b を形成する。

【0015】続いて、該 PR2 を除去した後、図 10 に示すように、全面に珪化タンゲステン (WSi_x) 層 7 を堆積させ、ゲートの抵抗を下げるが、珪化タンゲステンを堆積させなくともよく、後続の手順中でソース/ドレインと共に珪化タンゲステンを形成させてもよい。図 11 に示すように、珪化タンゲステン上にリソグラフでゲートフォトレジストを形成し、選択的に珪化タンゲステン層 7 とポリシリコン層 6 に対してエッチングを施し、ゲートを形成する珪化タンゲステン層 7a、7b 及びポリシリコン層 6c、6d を、それぞれゲート 9a、9b とする。次に図 12 に示すように、n 型ウェル区 3 上にリソグラフによってフォトレジスト PR3 を形成し、ゲート 9a とフォトレジストによる被覆の下、極少量 ($1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$) の n 型ドープ (As^+ や P^+) を p 型ウェル区内にイオンインプランテーションし、 n^- ソース/ドレイン区 10 を形成する。

【0016】図 13 に示すように、該 PR3 を除去した後、p 型ウェル 2 上にリソグラフによってフォトレジスト PR4 を形成し、ゲート 9b とフォトレジストに被覆されている状態の下、極少量 ($1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$) の p 型ドープ (B^+) が p 型ウェル区 3 内にイオンインプランテーションされ、 p^- ソース/ドレイン区 11 を形成する。図 14 に示すように、該 PR4 を除去した後は、チッ化シリコン層を全面に形成し、異方性のドライエッチングでチッ化シリコン側壁 8 を形成し、このときゲート 9a、9b 及び該側壁 8 の覆われる個所以外の高絶縁性薄層 5 は皆露出している。図 15 に示すように、弗化水素酸と過塩素酸やその他の過ハロゲン族元素酸をエッチング液とし、該ゲート 9a、9b 並びに側壁 8 を覆い、酸槽にてウェットエッチングを行い、ソース/ドレインと隔

離槽上の高絶縁性薄層を除去する。使用する HF : HClO_4 の体積混合比は 1 : 50 から 1 : 5000 とし、最も理想的なのは 1 : 1000 から 1 : 2500 となっており、低温 ($0^\circ\text{C} \sim 100^\circ\text{C}$) 下でエッチングを進行させる。この方法は公知の方法において、硫酸が 160°C の温度下でエッチングを行うのより簡単であり、設備も耐熱性を考慮しなくてよく、且つエッチング率が速い、ドライエッチングよりもシリコンと酸化シリコン (USG 或いは湿酸化物) を傷つけ難く、電流のロスや表面の凹凸が極力避けられる。

【0017】CMOS (complementary metal oxide semiconductor) コンポーネントのゲート製造過程はここで一旦終了し、以降の製造過程は公知の方法同様に行われる。例えば n^+ や p^+ をイオンインプランテーションで LDD ソース/ドレインを形成し、 TiSi_2 や CoSi_2 等のけい化物 (Salicide) をソース/ドレイン上に形成し、ゲートがまだ珪化タンゲステンを形成していない場合、この手順で形成されるけい化物がポリシリコン 6a 及び 6b 上に形成し、後続の製造工程である金属化工程を終了する (完成後の CMOS ロジックコンポーネントは図 5 参照)。

【0018】実施例三では、図 16 に示すものは、高絶縁性絶縁層 (HfO_2 や ZrO_2) コンデンサの DRAM が、スタック下層電極層 (ロアーエレクトロード) を形成し、高絶縁性薄層 (HfO_2 や ZrO_2) を堆積した後の断面図であり、p 型ウェル 2 上の隔離槽 4、LDD ソース/ドレイン 12 (或いは LDD でなく n^+ ソース/ドレイン) ゲート 9、層間絶縁膜 (ILD) 15、タンゲステン或いはポリシリコンコンタクトホール 17、BPSG で形成された金属間絶縁膜 (IMD) 16 とチッ化シリコンエッチング停止層 19、下層電極層 (ロアーエレクトロード) 21 などの製造工程を完成した後、PVD で高絶縁性薄層 22 を堆積してコンデンサの絶縁層 (図 16 参照) とするが、これに限らず下層電極層 (ロアーエレクトロード) の形状はスタック状やその他の大面積のものとしてもよい。

【0019】図 17 に示すように、弗化水素酸や過塩素酸、或いはその他の過ハロゲン族元素酸をエッチング液とし、フォトレジスト PR5 で保護される下層電極層 (ロアーエレクトロード) と下層電極層 (ロアーエレクトロード) 上の高絶縁性薄層に対してエッチング機内でウェットエッチングを行い、下層電極層 (ロアーエレクトロード) 以外の高絶縁性薄層を除去する。使用する HF : HClO_4 の体積混合比は 1 : 50 から 1 : 5000 とし、低温 ($0^\circ\text{C} \sim 100^\circ\text{C}$) 下のエッチングを進行させる。この方法によると、公知の技術による硫酸が 160°C の高温の下でエッチングを行うのよりも容易であり、設備に必要であった耐高温、耐酸の器材に係るコストや手間も省けた上、尚エッチング率を上げることにも成功し、ドライエッチングによる BPSG の金属層間絶縁膜 (IMD) 16 を傷つけることなく、電流のロスや表面の凹凸を極力避ける目的が達成された。図 18 に示すように、後続の製造工程中ではポリシリコンのトップエレクトロード 23 ともう一つの

層IMD 2 4等は、貫通孔 2 5で最上層電極層（トップエレクトロード）をボンディングパッド 2 6にまで接続し、電気熔接による接地等の工程が終了する（図 1 7 参照）。

【0 0 2 0】実施例 4においては、既に下層電極層（ロアーエレクトロード）の完成した基板上全面に高絶縁性薄層を堆積させてコンデンサの絶縁層とした後、リソグラフィによって形成したフォトレジストで下層電極層（ロアーエレクトロード）とその上の高絶縁性薄層を保護し、
10 弗化水素酸と過ハロゲン族元素酸の混合液をエッチング液とし、低温下でエッチングを進行し、下層電極層（ロアーエレクトロード）以外の高絶縁性薄層を除去し、それからトップエレクトロードを堆積し、並びに後続の金属化工程を完成させることでも、同様の高絶縁性薄層のエッチング効果が得られる。

【0 0 2 1】

【発明の効果】本発明によると、従来の工程における設備において必要であった耐熱、耐酸性の問題が解決されたことでコストが低減したと共に製造工程が容易になったこと、並びにアクティブエリアに凹凸が形成されるの
20 が免れられたことで、コストと品質面両方において優れたエッチング効果を提供するのに成功した。

【図面の簡単な説明】

【図 1】公知の技術におけるCMOS（complementary metal oxide semiconductor）の製造工程初段階でゲートのチツ化シリコン側壁を形成した後、ゲート絶縁層にエッチングする前の断面図である。

【図 2】公知の技術におけるCMOS（complementary metal oxide semiconductor）の製造工程初段階でドーブの多いソース／ドレインを形成した後、高絶縁性薄層にエ
30 ッチングした断面図である。

【図 3】HF、HC104で異なる体積比によって得られたHfO₂とUSGのエッチング選択比における曲線図である。

【図 4】HF、HC104で異なる体積の混合比による、高絶縁性のHfO₂、USG、ポリシリコンに対するエッチング率における曲線図である。

【図 5】CMOS（complementary metal oxide semiconductor）ロジックコンポーネント製造完成後の断面図である。

【図 6】CMOS（complementary metal oxide semiconductor）基板の断面図である。
40

【図 7】高絶縁性（HfO₂）とポリシリコンを堆積した後の断面図である。

【図 8】n⁺をポリシリコンにドーピングした後の製造工程である。

【図 9】p⁺をポリシリコンにドーピングした後の製造工程である。

【図 1 0】珪化タンゲステンを堆積する工程である。

【図 1 1】珪化タンゲステンとポリシリコンをエッチン

グしてゲートを形成する工程である。

【図 1 2】イオンインプランテーションでn⁻ドーブ型のソース／ドレインゲートを形成する工程である。

【図 1 3】イオンインプランテーションでp⁻ドーブ型のソース／ドレインゲートを形成する工程である。

【図 1 4】チツ化シリコン堆積後、異方性エッチングによって側壁を形成する工程である。

【図 1 5】HF、HC104の混合液でソース／ドレインゲート上の高絶縁性（HfO₂）にエッチングを施す工程である。
50

【図 1 6】DRAMがスタック式の下層電極層（ロアーエレクトロード）が形成された後、高絶縁性（HfO₂）が堆積された断面図である。

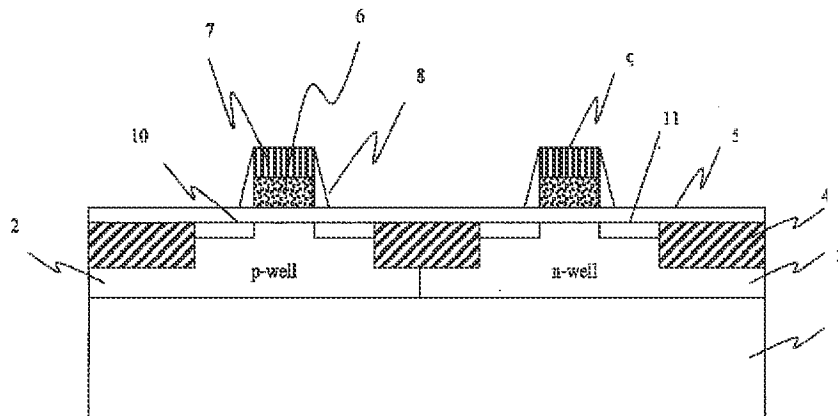
【図 1 7】DRAMが高絶縁性をエッチングされた後の断面図である。

【図 1 8】DRAM完成後の断面図である。

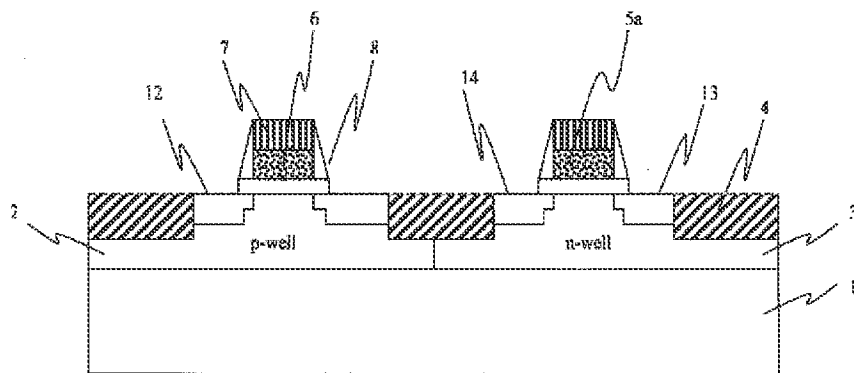
【符号の説明】

- 1 p型シリコンウェハー基板
- 2 p型ウェル
- 3 n型ウェル
- 4 LOCOS或いはSTI隔離層
- 5 高絶縁性（HfO₂）層
- 5 a 高絶縁性（HfO₂）ゲート絶縁層
- 6 ポリシリコンゲート
- 6 a りんドーブポリシリコン
- 6 b, 6 c, 6 d ポリシリコン層
- 7 Wsix或いはTiSi 2
- 7 a, 7 b 珪化タンゲステン層
- 8 チツ化シリコン（Si₃N₄）側壁
- 9, 9 a, 9 b ゲート
- 1 0 n⁻少量ドーブ
- 1 1 p⁻少量ドーブ
- 1 2 n⁻ソース／ドレイン
- 1 3 p⁻ソース／ドレイン
- 1 4 エッチング後の陥没箇所
- 1 5 層間絶縁膜（ILD）
- 1 6 金属層間絶縁膜（IMD）
- 1 7 コンタクトホール
- 1 8 金属線
- 1 9 チツ化シリコン
- 2 0 貫通孔
- 2 0 0 ロジックコンポーネント
- 2 1 下層電極層（ロアーエレクトロード）（lower Electrode）
- 2 2 コンデンサ高絶縁性（HfO₂ 或いはZrO₂）絶縁膜
- 2 4 IMD
- 2 5 貫通孔
- 2 6 ボンディングパッド
- PR1, PR2, PR3 フォトレジスト

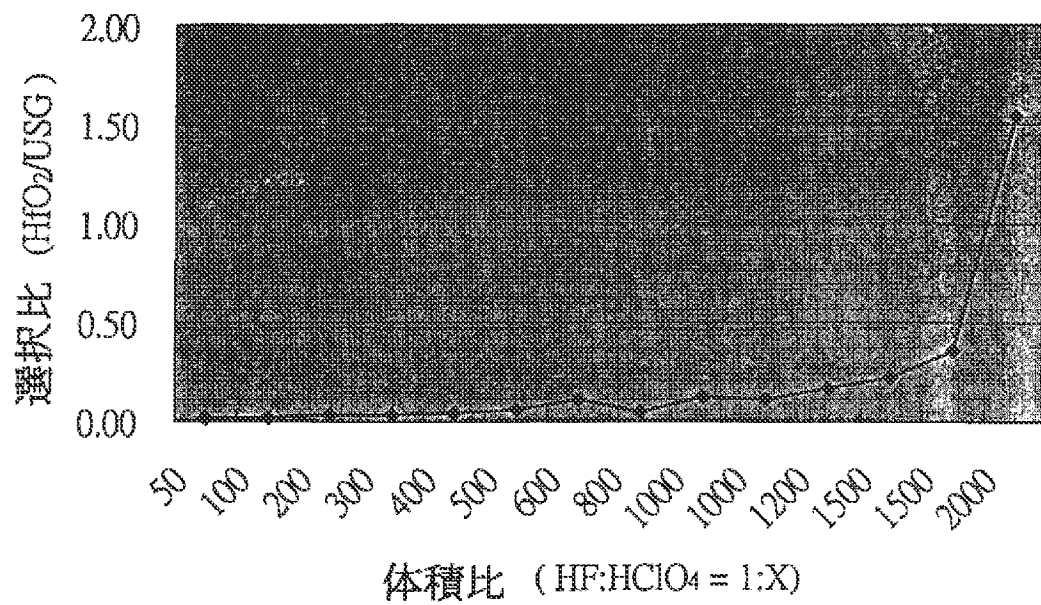
【図1】



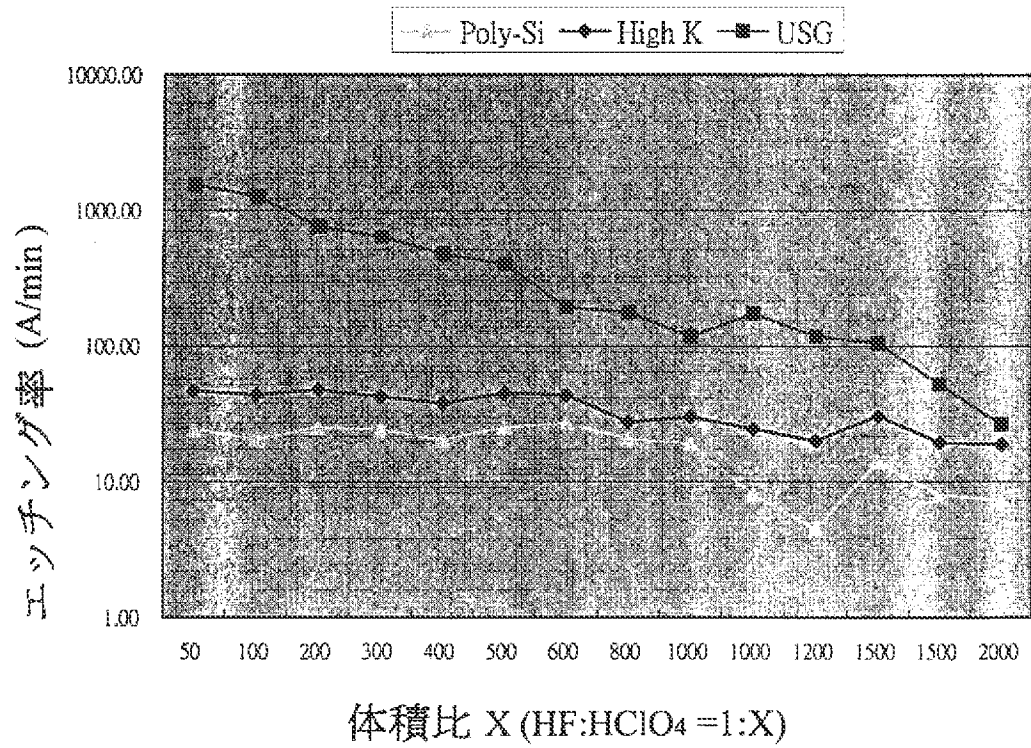
【図2】



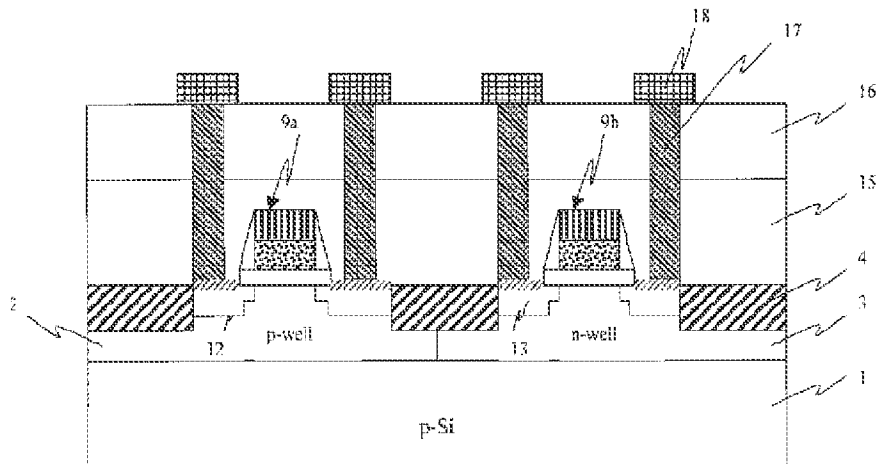
【図3】



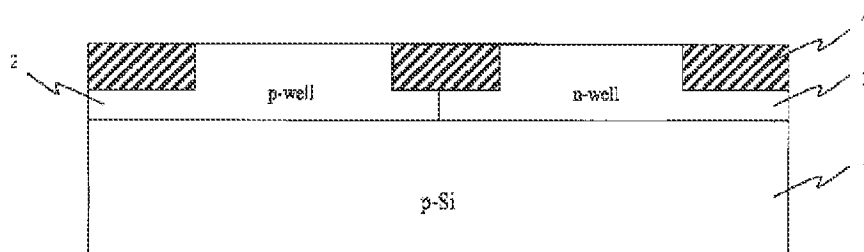
【図4】



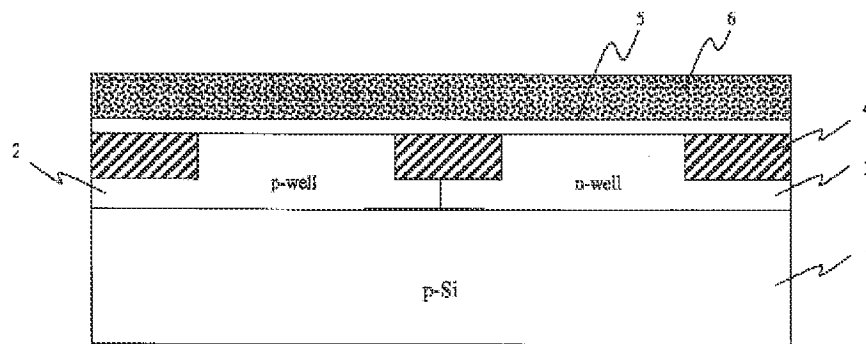
【図5】



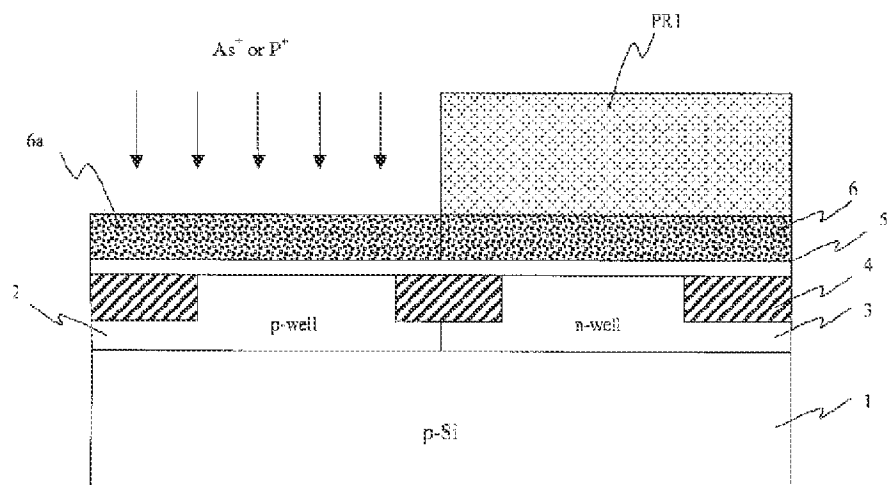
【図6】



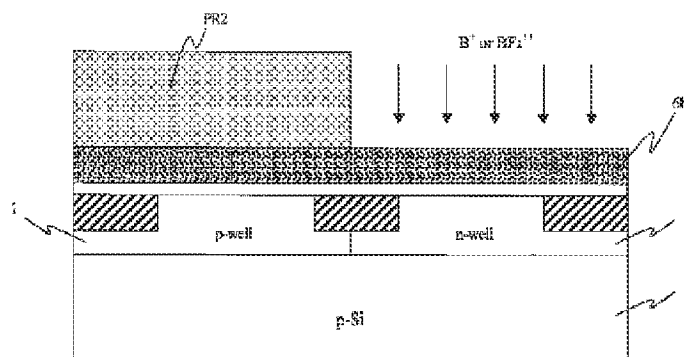
【図7】



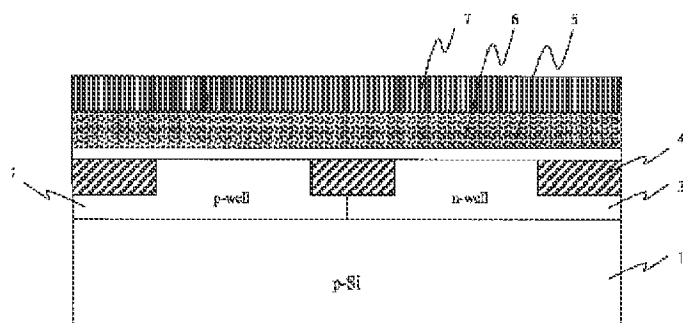
【図8】



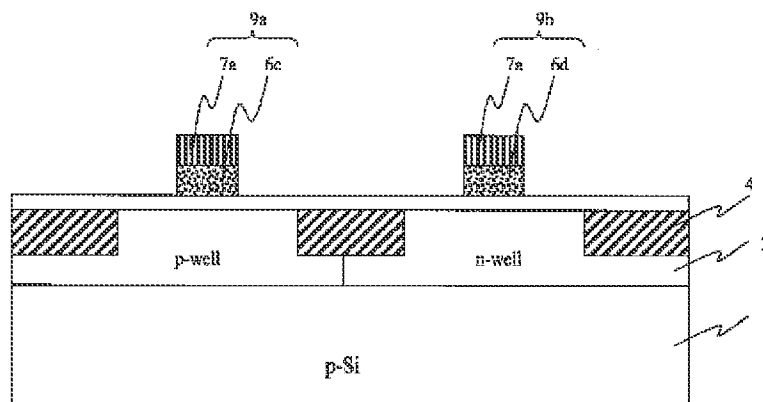
【図9】



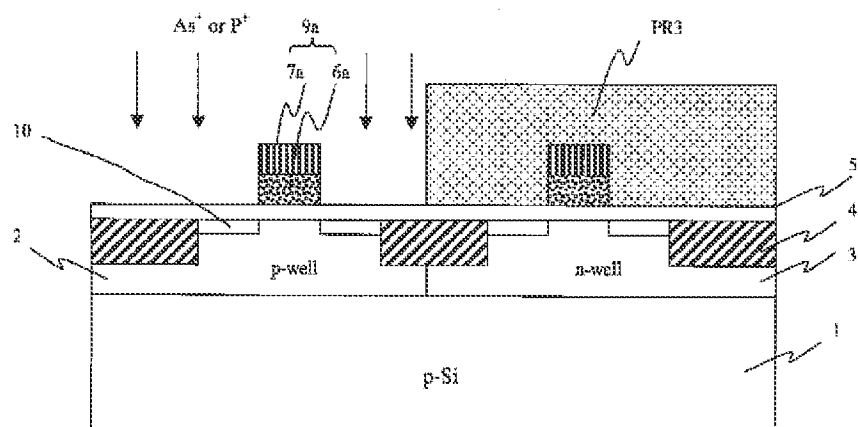
【図10】



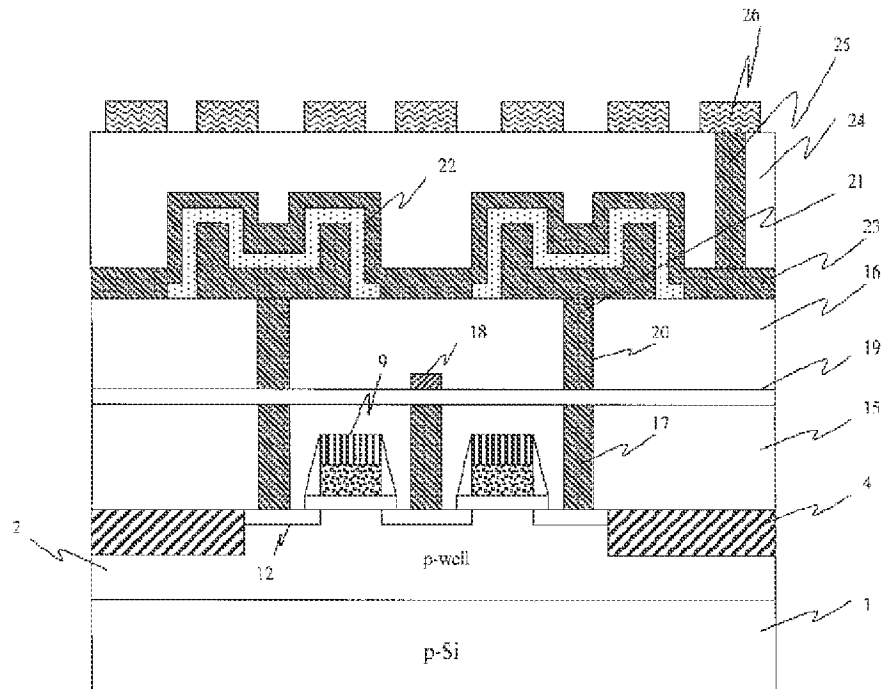
【図11】



【図12】



【図18】



フロントページの続き

(72)発明者 蕭 世乙
台湾 嘉義県太保市南新里北港路二段71号
(72)発明者 康 宗貴
台湾 新竹市光復路一段89巷123-1号5
楼之2

(72)発明者 崔 秉鉞
台湾 新竹市大学路56号14楼之2
(72)発明者 黄 誌鋒
台湾 新竹市大学路1001号工程四管630室
(72)発明者 梁 建翔
台湾 新竹市大学路1001号工程四管630室
Fターム(参考) 5F043 AA37 BB25 EE40